

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kozo MAKIYAMA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 28, 2003**

For: **SEMICONDUCTOR DEVICE WITH MUSHROOM GATE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-251266, filed August 29, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

William L. Brooks

William L. Brooks
Attorney for Applicants
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **031060**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月29日

出 願 番 号

Application Number:

特願2002-251266

[ST.10/C]:

[JP2002-251266]

出 願 人

Applicant(s):

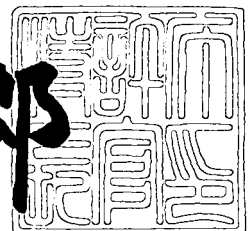
富士通株式会社

富士通カンタムデバイス株式会社

2003年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037658

【書類名】 特許願

【整理番号】 0240617

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明の名称】 半導体装置の製造方法と半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 牧山 剛三

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 高橋 剛

【発明者】

 【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通カンタムデバイス株式会社内

 【氏名】 西 眞弘

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000154325

 【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【包括委任状番号】 9724035

【包括委任状番号】 0109609

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法と半導体装置

【特許請求の範囲】

【請求項 1】 (a) 半導体基板の活性領域を横断して、ファインゲートと前記ファインゲート上で電流方向の寸法の拡大された電極部を構成するオーバーゲートとを有するマッシュルームゲートを半導体基板上に形成する工程と、

(b) 前記マッシュルームゲートの少なくともファインゲートとオーバーゲート下面とを覆って第 1 の有機材料膜を半導体基板上に塗布する工程と、

(c) 前記第 1 の有機材料膜をパターンニングして、マッシュルームゲート近傍にのみ残す工程と、

(d) 残った前記第 1 の有機材料膜を覆って、化学的性質の異なる第 2 の有機材料膜を半導体基板上に塗布する工程と、

(e) 前記第 2 の有機材料膜に開口を形成し、前記第 1 の有機材料膜を露出する工程と、

(f) 前記開口から前記第 1 の有機材料膜を溶解除去して前記第 2 の有機材料膜中に空洞を形成する工程と、
を含む半導体装置の製造方法。

【請求項 2】 前記工程 (b) が、マッシュルームゲート全体を覆う第 1 の有機材料膜を形成し、

前記工程 (c) が

(c-1) 前記マッシュルームゲート上方で前記第 1 の有機材料膜上にマスクを形成する工程と、

(c-2) 前記マスクを用いて、前記第 1 の有機材料膜をエッチングする工程と、

を含む請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記工程 (c-1) が、オーバーゲートのソース側領域上方を覆い、ドレイン側領域上方を覆わない前記マスクを形成する請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記工程 (c) の後に、

(x) 前記第 1 の有機材料膜を流動化させる工程を含む請求項 1 ～ 3 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 5】 前記工程 (x) が、前記工程 (d) の後に行われ、前記第 2 の有機材料膜も流動化させる請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記工程 (a) が、

(a-1) 前記半導体基板上に下レジスト層と上レジスト層とを含むレジスト積層を形成する工程と、

(a-2) 前記上レジスト層に対してオーバーゲートパターンを露光する工程と、

(a-3) 前記下レジスト層に対してファインゲートパターンを露光する工程と、

(a-4) 前記下レジスト層に対して、工程 (a-3) より少ない露光量で前記オーバーゲートパターンの一部の電流方向の寸法を横切る補助露光を行なう工程と、

(a-5) 露光、補助露光の行われた前記レジスト積層を現像して、前記オーバーゲートパターンの開口を有する上レジスト層と前記ファインゲートパターンの開口と上面が前記補助露光により引き下げられたオーバーゲート引き下げ領域とを有する下レジスト層をパターニングする工程と、

(a-6) パターニングされた前記レジスト積層上にゲート電極層を堆積する工程と、

(a-7) 前記レジスト積層上のゲート電極層をリフトオフし、マッシュルームゲートを残す工程と、

を含む請求項 4 または 5 記載の半導体装置の製造方法。

【請求項 7】 前記工程 (a-3) が、前記活性領域外の選択された領域でファインゲートパターンを露光せず、前記工程 (e) が前記選択された領域の近傍に前記開口を形成する請求項 6 記載の半導体装置の製造方法。

【請求項 8】 さらに、

(y) 前記活性領域外、かつ前記開口を形成すべき領域より活性領域側で、前記半導体基板を所定深さエッチングしてリセス部を形成する工程、

を含み、前記工程（f）が前記リセス部から前記活性領域に向って立上る前記空洞を形成する請求項6または7記載の半導体装置の製造方法。

【請求項9】 活性領域を有する半導体基板と、

前記活性領域を横断して前記半導体基板上に形成され、ファインゲートと前記ファインゲート上で電流方向の寸法の拡大されたオーバーゲートとを有するマッシュルームゲートと、

前記マッシュルームゲートの少なくともファインゲート側面とオーバーゲート下面とを囲み、界面が曲面である空洞を画定する有機材料膜と、

前記活性領域外で前記有機材料膜の上面から前記空洞に達するように形成された開口部と、

を有する半導体装置。

【請求項10】 前記空洞が、マッシュルームゲートのソース側部分を囲み、ドレイン側部分のオーバーゲート下面に接し、マッシュルームゲートのドレイン側部分のオーバーゲート上面は前記有機材料膜と接する請求項9記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速動作する半導体装置及びその製造方法に関し、特にマッシュルームゲートを有する半導体装置及びその製造方法に関する。

【0002】

本明細書において、「露光」とは、光の照射によるもののみでなく、電子線、X線等他のエネルギービームの照射によるものも含む概念とする。

【0003】

【従来の技術】

高電子移動度トランジスタ（HEMT）等の高速化合物半導体トランジスタにおいては、ゲート長を制限しつつ、ゲート電極の抵抗を低減させるため、半導体基板と接する基部で電流方向の寸法が狭く、上部で電流方向の寸法を拡大したマッシュルームゲートが用いられる。マッシュルームゲートの両側に、ソース電極

、ドレイン電極が形成され、トランジスタ構造が作成される。

【０００４】

半導体基板上に多層配線を形成する場合は、ゲート電極を埋め込んで絶縁層を形成する必要がある。絶縁層としては、酸化シリコン、窒化シリコン等の無機絶縁材料、有機(絶縁)材料が用いられる。ゲート電極の表面が絶縁層で埋め込まれると、空気の誘電率１よりも大きな誘電率により、ゲート電極の寄生容量は増大する。

【０００５】

図１２は、多層配線を有する化合物半導体装置の構成例を示す断面図である。半導体基板１００は、GaAs下地基板やInP下地基板上に動作半導体層を積層した構成を有する。半導体基板１００の最表面には、低抵抗層が形成され、その上にソース電極１０１、ドレイン電極１０２がオーミックに形成される。ソース電極１０１、ドレイン電極１０２の中間領域において、表面の低抵抗層が除去されたりセス領域が形成され、リセス領域上にマッシュルームゲート１０５が形成される。

【０００６】

マッシュルームゲート１０５は、半導体基板１００に接する電流方向の寸法の小さい基部（以下ファインゲートと呼ぶ）及びその上部に形成され、電流方向の寸法が拡大した傘部（以下オーバーゲートと呼ぶ）を含む。高速動作を促進するため、ファインゲートの電流方向の寸法は狭く選択され、ゲート電極の抵抗を低減するため、オーバーゲートの電流方向の寸法は広くされている。

【０００７】

多層配線を形成する場合、ゲート電極１０５を埋め込んで第１層間絶縁膜１１０が形成される。第１層間絶縁膜１１０は、ゲート電極１０５のファインゲートの側面を包み、オーバーゲートの上方にまで延在する。第１層間絶縁膜１１０にコンタクト孔が形成され、ソース電極１０１、ドレイン電極１０２に接続される１層目配線１１２、１１３が形成される。同様に、ゲート電極も配線に接続される。１層目配線１１２、１１３を埋め込んで、第２層間絶縁膜１１５が形成される。第２層間絶縁膜１１５にビア穴が形成され、１層目配線と電氣的に接続され

る２層目配線１１７が形成される。

【０００８】

このような構成においては、オーバーゲートの上下面と側面、及びファインゲートの側面が層間絶縁膜１１０に接し、層間絶縁膜の誘電率等により決定されるゲート電極の寄生容量が増大する。ゲート電極１０５の寄生容量を低減するためには、少なくともオーバーゲート下方の層間絶縁膜を除去することが望まれる。

【０００９】

従来、ファインゲートを囲む空間に積層構造を形成し、一部を空洞化し、ゲート電極の寄生容量を低減する試みがなされている。又、ゲート電極を埋め込んでポリイミド層を形成した後、ゲート電極をマスクとして酸素プラズマの異方性エッチングを行い、オーバーゲート下部にのみポリイミドを残し、その後ゲート電極を包み込むように酸化シリコン、窒化シリコン等の絶縁膜を形成し、その後オーバーゲート下のポリイミド領域を酸素プラズマのアッシングで除去する提案がなされている。

【００１０】

【発明が解決しようとする課題】

層間絶縁膜を形成しつつ、マッシュルームゲートの寄生容量を低減し、歩留まり良く高信頼性の半導体装置を製造することは容易でない。

【００１１】

本発明の目的は、マッシュルームゲートを層間絶縁膜で覆い、かつマッシュルームゲートの寄生容量の増大を抑制した半導体装置およびその製造方法を提供することである。

【００１２】

本発明の他の目的は、層間絶縁膜を有し、高速動作が容易で信頼性の高いマッシュルームゲートを有する半導体装置およびその製造方法を提供することである。

【００１３】

【課題を解決するための手段】

本発明の１観点によれば、（ａ）半導体基板の活性領域を横断して、ファイン

ゲートと前記ファインゲート上で電流方向の寸法の拡大された電極部を構成するオーバーゲートとを有するマッシュルームゲートを半導体基板上に形成する工程と、（b）前記マッシュルームゲートの少なくともファインゲートとオーバーゲート下面とを覆って第1の有機材料膜を半導体基板上に塗布する工程と、（c）前記第1の有機材料膜をパターニングして、マッシュルームゲート近傍にのみ残す工程と、（d）残った前記第1の有機材料膜を覆って、化学的性質の異なる第2の有機材料膜を半導体基板上に塗布する工程と、（e）前記第2の有機材料膜に開口を形成し、前記第1の有機材料膜を露出する工程と、（f）前記開口から前記第1の有機材料膜を溶解除去して前記第2の有機材料膜中に空洞を形成する工程と、を含む半導体装置の製造方法が提供される。

【0014】

本発明の他の観点によれば、活性領域を有する半導体基板と、前記活性領域を横断して前記半導体基板上に形成され、ファインゲートと前記ファインゲート上で電流方向の寸法の拡大されたオーバーゲートとを有するマッシュルームゲートと、前記マッシュルームゲートの少なくともファインゲート側面とオーバーゲート下面とを囲み、界面が曲面である空洞を画定する有機材料膜と、前記活性領域外で前記有機材料膜の上面から前記空洞に達するように形成された開口部と、を有する半導体装置が提供される。

【0015】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1（A）～図3（H）は、本発明の第1の実施例による半導体装置の製造方法を説明する断面図及び平面図である。

【0016】

図1（A）に示すように、動作半導体層を有する半導体基板10の表面に活性領域ARを画定する。活性領域AR以外の領域は、酸素のイオン注入等により、半絶縁性領域とする。半導体基板10は、その最表面に低抵抗層を含む。低抵抗層の一部が除去され、リセスRSが形成されている。リセスRSの表面上に、電流方向の寸法（ゲート長）を小さく制限した基部であるファインゲートFG、フ

ファインゲート上で電流方向の寸法を拡大し抵抗を低くしたオーバーゲートOGを有するゲート電極Gが形成される。ゲート電極Gを挟んで、低抵抗層上にソース電極S、ドレイン電極Dが形成される。

【0017】

図1（AP）は、活性領域AR、ソース電極S、ドレイン電極D、ゲート電極Gの平面構成を概略的に示す。活性領域ARは、ソース電極S、ドレイン電極Dを囲む矩形状の領域である。ゲート電極Gは、ゲート幅方向に長い電極である。ゲート電極Gの左方の端部は、拡大されてパッド部を構成している。ゲート電極Gの上下にドレイン電極D、ソース電極Sが形成されている。

【0018】

ゲート電極Gは、下部のファインゲートFGと上部のオーバーゲートOGとを有する。ファインゲートFGは、ソース電極S、ドレイン電極D間で活性領域ARを横断し、半絶縁性とされた周辺領域上で拡大された面積を有するパッドを構成している。オーバーゲートOGは、ファインゲートFGから電流（ゲート長）方向および交差（ゲート幅）方向にはみ出した形状を有する。

【0019】

図1（B）に示すように、ゲート電極G、ソース電極S、ドレイン電極Dを埋め込むように、有機材料の充填材層Fが形成される。充填材層Fは、空洞を形成すべき領域を予め充填しておく層であり、例えばポリメチルグルタルイミド（PMGI）で形成される。例示した充填材は絶縁性であるが、充填材層は後に除去される層なので、絶縁性は有さなくてもよい。充填材層Fの上に、ホトレジスト層が形成され、露光現像されてレジストパターンPRを形成する。図の構成においては、レジストパターンPRは、少なくとも活性領域内のゲート電極Gの全面を覆うように形成されている。

【0020】

図1（AP）において、レジストパターンPRの形状を1点鎖線で示す。活性領域を横断するファインゲートFGを覆うように電流方向の寸法が拡大され（幅広で）、ゲート幅方向の寸法も長いオーバーゲートOGが形成されている。

【0021】

レジストパターンPRをマスクとし、充填材層Fをウェットエッチングする。例えば、水酸化テトラメチルアンモニウム（TMAH）を用いてポリメチルグルタルイミドの充填材層Fをエッチングする。なお、ウェットエッチングに代え、酸素ガスのドライエッチングを行なってもよい。その後、残ったレジストマスクPRは、充填材層Fを溶解しない溶剤で除去する。例えば、イソプロピルアルコールを用いてレジストパターンPRを除去する。

【0022】

図1（C）は、パターニングされ、レジストマスクを除去した半導体装置の構成を示す断面図である。ゲート電極Gは、充填材層Fの層により取り囲まれている。なお、図1（AP）に示すように、活性領域AR外に形成されたパッド部においては、ゲート電極Gは充填材層F外に露出している。

【0023】

図2（D）に示すように、半導体基板を加熱し、充填材層Fを流動化させる。充填材層Fは、流動化することにより、表面張力によって決定される表面形状で安定化する。このため、流動化した後の充填材層Fは、半導体基板表面で幅広く、上部に向うに従って幅が減少する形状となる。

【0024】

図2（DX）は、ゲート電極Gのゲート幅方向に沿って見た時のゲート電極G及び充填材層のFの形状を示す。充填材層Fの端部はテーパ形状となり、寸法が徐々に減少していることが分かる。

【0025】

図2（E）に示すように、充填材層Fを埋め込んで、絶縁特性の良い有機材料の層間絶縁層ILを形成する。層間絶縁材層ILは、例えばベンゾシクロブテン（BCB）で形成される。層間絶縁材層IL形成後、一旦層間絶縁材層ILを流動化し、成膜時の応力を解放することが好ましい。充填材層Fと有機材料層ILとの界面は曲面となる。

【0026】

図2（EX）は、ゲート幅方向に沿った断面構造を示す。活性領域AR上のゲート電極Gの実効領域を取り囲むように充填材層Fが形成され、その上をゲート

電極全面を覆うように層間絶縁膜 I L が形成されている。

【 0 0 2 7 】

図 3 (F) に示すように、層間絶縁材層 I L に開口 3 9 を形成する。開口 3 9 は、活性領域 A R 外で充填材層 F の端部を露出するように形成される。

図 3 (F P) は、充填材層 F と開口 3 9 の相対関係を示す平面図である。開口 3 9 を形成するエッチングにおいて、充填材層 F の一部もエッチングされる。開口 3 9 の側壁に充填材層 F の一部が露出する。この開口 3 9 を用いて充填材層 F を溶解するエッチング液を流し入れ、充填材層 F を除去する。

【 0 0 2 8 】

充填材層 F がポリメチルグルタリミド、層間絶縁層 I L がベンゾシクロブテンで形成されている場合、N - メチル - 2 - ピロリジノン (N M P) をエッチング液として用いることができる。加熱することにより、エッチング速度を促進することができる。7 5 ℃のN - メチル - 2 - ピロリジノンを用いた場合、ゲート幅方向の長さ 5 0 μ m、交差方向の断面積 0 . 5 μ m²の空洞形成が、1 0 分程度で作成できた。

【 0 0 2 9 】

図 3 (G) は、活性領域 A R で充填材層を除去したゲート電極 G 周辺の断面構造を示す。ゲート電極 G は、空隙である空洞 H で囲まれている。空洞 H と層間絶縁膜 I L との界面は曲面である。層間絶縁膜 I L は、ゲート電極の主要部においてゲート電極 G と接触していない。空洞 H の誘電率は 1 であるため、ゲート電極 G の寄生容量の増大は著しく抑制されている。

【 0 0 3 0 】

図 3 (H) に示すように、充填材層 F を除去した後、基板上面からシード金属層 4 1 の堆積を例えばスパッタリングで行う。シード金属層 4 1 は、充填材層 F と開口 3 9 の境界部分にも堆積し、その開口部を封止できる。充填材層 F を流動化させ、その端部をテーパ状としたため、開口 3 9 を形成する位置を選択することにより、開口 3 9 と接する部分における空洞 H の高さを低く選択することができる。このため、シード金属層の堆積により、そのような開口部を封止することができる。

【００３１】

シード金属層４１を形成した後、層間絶縁層ＩＬの上にレジストパターンＰＲ２を形成し、開口部にメッキ層４３を形成する。メッキ層４３が形成された後、レジストパターンＰＲ２は除去し、外部に露出しているシード金属層４１も除去する。

【００３２】

図４（Ａ）～（Ｅ）は、本発明の他の実施例による半導体装置の製造方法を説明する断面図である。

図４（Ａ）に示すように、前述の実施例同様、半導体基板１０の上にソース電極Ｓ、ドレイン電極Ｄ、ゲート電極Ｇを形成し、これらを覆って充填材層Ｆを塗布する。

【００３３】

充填材層Ｆの上に、レジストパターンＰＲｘを形成する。レジストパターンＰＲｘは、ゲート電極Ｇのソース側部分を覆うと共に、ドレイン側部分を露出するように形成される。レジストパターンＰＲｘをマスクとし、充填剤層Ｆを異方性エッチし、選択的に除去する。

【００３４】

図４（Ｂ）に示すように、レジストパターンＰＲｘ下の充填剤層Ｆが残されると共に、レジストパターンＰＲｘによって被覆されていない領域ではゲート電極Ｇに被覆されている領域において充填材層が残り、充填材層パターンＦｘが形成される。その後、レジストパターンＰＲｘを除去する。ゲート電極Ｇ上面のソース側領域の周り及びゲート電極Ｇ下の領域に充填材層パターンＦｘが残る。

【００３５】

図４（Ｃ）に示すように、ゲート電極Ｇ、充填材層パターンＦｘを覆って、有機（絶縁）材料膜ＩＬを塗布し、層間絶縁膜を形成する。

図４（Ｄ）に示すように、充填材層及び層間絶縁膜を加熱し、流動化させる。例えば、両材料の軟化点の内高い方の温度以上の温度に加熱する。充填材層パターンＦｘ及び有機絶縁層ＩＬが流動化し、その界面は表面張力に従って曲面に変化する。有機材料は流動化すると共に成膜時の応力が解放される。

【0036】

その後、図3（F）～（H）に示す工程と同様の工程を行い、開口内に充填材層パターンを露出し、ウェットエッチングで除去することにより充填材層パターンを除去する。

【0037】

図4（E）に示すように、充填剤層パターンF_xが除去され、空洞H_xが形成される。

ゲートの寄生容量の内、ゲートドレイン間容量（C_{gd}）は、オーバーゲート下の誘電体容量が大きく寄与する。従って、オーバーゲート下を空洞化することにより、ゲート電極のゲートドレイン間容量（C_{gd}）は大きく減少する。

【0038】

ゲート電極のゲートソース間容量（C_{gs}）は、ゲートとソース電極間に介在する広範囲の誘電体容量が寄与する。ゲート電極G側面や上面も寄生容量に寄与する。ゲート電極Gのソース側領域を覆う空洞部を形成することにより、ゲートソース間容量（C_{gs}）は大きく減少する。

【0039】

なお、この構成においてはゲート電極Gのドレイン側領域は層間絶縁膜I_Lと接している。従って、ゲート電極に対する物理的支持力が付与され、ゲート電極の機械的強度が増加する。

【0040】

図5（A）～（D）は、本発明のさらに他の実施例による半導体装置の製造方法を説明する断面図である。

図5（A）に示すように、半導体基板10の表面上にソース電極S、ドレイン電極D、ゲート電極Gを形成し、これらの電極を覆う充填材層Fを塗布する。

【0041】

図5（B）に示すように、充填材層Fを上方から異方性エッチングする。ゲート電極Gのオーバーゲート下の領域は、ゲート電極にマスクされ、エッチングされずに残る。このようにして、ゲート電極Gのオーバーゲート下に充填材層パターンF_yが残る。

【0042】

図5（C）に示すように、基板10を加熱し、充填材層パターンFyを流動化させる。流動化した充填材層パターンFyは、表面張力に従いその表面が曲面化する。

【0043】

その後、図2（E）以下に示す工程と同様の工程を行い、充填材層パターンとゲート電極を覆う層間絶縁膜を形成し、開口を形成し、充填材層パターンをウェットエッチングで除去する。

【0044】

図5（D）に示すように。充填剤層パターンFyが除去され、空洞Hyが形成される。

この方法によれば、ゲート電極上方にレジストパターンを形成する必要なく、ゲート電極Gのみをマスクとして、充填材層をパターンニングすることができる。製造工程が簡略化される。

【0045】

以上の実施例においては、空洞を形成するために層間絶縁膜を貫通する開口が形成された。その後の工程のためには、開口と連通する空洞を封止することが望まれる場合も多い。空洞の封止を容易にするためには、開口部のオーバーゲートを下に引き下げることができる。

【0046】

図6（A）～図7（K）は、オーバーゲートの形状を修正する方法を示す。

図6（A）は、半導体基板の上面構成を示す平面図である。半導体基板の活性領域AR内に、ドレイン電極D、ソース電極Sが形成される。その後、マッシュルームゲートをリフトオフで形成するための積層レジスト構造が形成され、オーバーゲート用の露光が行われる。オーバーゲート用露光領域をハッチングを付与した領域OGで示す。

【0047】

図6（B）は、図6（A）の状態の断面構造を示す。半導体基板10の上にソース電極S、ドレイン電極Dが形成され、その上に下層R1、中層R2、上層R

3のレジスト積層が形成される。中層R2は、露光によってパターニングするレジスト層ではなく、上層R3の開口から等方性エッチングによって中広がり開口部を形成するための層である。下層R1及び上層R3は電子線照射用レジストで形成される。上層R3に対し、オーバーゲート用の露光OGが行われる。

【0048】

図6(C)に示すように、左下がりのハッチングで示した領域FGにファインゲート用露光を行う。さらに、右下がりの破線で示した領域RGに対し、露光強度を下げた露光を行う。領域RGにおいては、下層R1の全厚さは露光されないが一部厚さが露光される露光強度の露光を行う。

【0049】

図6(D)は、ファインゲート用露光を行った状態を示す断面図である。

図7(E)は、ファインゲート用露光FGと、オーバーゲート引き下げ領域形成用露光RGが行われた領域の構成を概略的に示す断面図である。このような状態で現像を行う。上層R3の露光領域OGが現像によって除去され、中層R2に中広がりの領域が形成され、さらに、下層R1の露光領域が除去される。下層R1のオーバーゲート用表面は、オーバーゲート引き下げ領域RGで下方に引き下げられた形状となる。従って、基板とオーバーゲートとの間の距離が減少する。

【0050】

図7(F)は、図7(E)に示すレジストパターンを現像し、その上にゲート電極層を堆積し、リフトオフして形成したマッシュルームゲートの長さ方向断面構成を概略的に示す。オーバーゲート引き下げ領域RGにおいて、ファインゲートFGの高さは減少し、オーバーゲートOGは、その分下方に突出した形状となり、オーバーゲートOGの下面がその分低くなる。なお、図に示すオーバーゲートOGの断面は、ゲート中央部ではなくゲート幅方向の端部によった位置の断面である。

【0051】

なお、オーバーゲートの高さを低下させた（引き下げた）領域等において、ファインゲートFGを形成しないこともできる。このためには、ファインゲート用露光FGを行わなければよい。ファインゲートをなくすと、開口が形成され、充

填剤層溶解液の流れを促進することができる。

【００５２】

図７（Ｇ）は、オーバーゲート引き下げ領域ＲＧにおいてファインゲート用露光を行なわなかった場合の概略断面構成を示す。現像を行うと、オーバーゲート領域ＯＧ、その下の中広がりの領域、及びオーバーゲート引き下げ領域ＲＧが除去される。

【００５３】

図７（Ｈ）は、現像したレジストパターンを用いて形成したマッシュルームゲートの長さ方向の断面構成を概略的に示す。ファインゲートＦＧは、オーバーゲート引き下げ領域ＲＧにおいて除去された構成となる。ファインゲートＦＧに開口が形成されるため、充填材層をウェットエッチングする時のエッチング液の流通が促進される。

【００５４】

ゲート電極を作成した後、前述の実施例同様、充填材層、有機絶縁層を形成し、開口を形成して充填剤層を溶解除去し、ゲート電極周辺に空洞を有する層間絶縁膜構造を作成する。

【００５５】

図７（Ｉ）に示すように、有機絶縁層の上に、レジスト層を形成し、オーバーゲート引き下げ領域ＲＧを横断する開口３９をエッチングする。開口３９が形成された領域において、オーバーゲートの下面は基板により近づいた位置に変形されているため、その後の封止が容易になる。

【００５６】

図７（Ｊ）は、開口内にめっき用のシード金属層４１を堆積した状態を示す。ゲート電極Ｇのオーバーゲート下面が基板に近い位置に変形されているため、シード金属層４１は容易に基板１０とゲート電極Ｇとの間の隙間を封じることができる。

【００５７】

図７（Ｋ）は、オーバーゲート引き下げ領域においてファインゲートを形成しなかった場合の構成を示す。ゲート電極Ｇはオーバーゲートのみが形成され、そ

の下には開口が形成されている。シード層41が図7（J）同様ゲート電極Gと基板10との間の隙間を封止している。

【0058】

開口に引出し電極を形成する際などに空洞内に導電性異物が入り込むことは極力抑制できることが好ましい。

図8（A）、（B）は、開口から空洞を見た時、空洞が途中で上方に折れ曲がる領域を有する構成を実現する方法を示す。

【0059】

図8（A）に示すように、基板表面の活性領域AR内のゲート電極が接する領域に低抵抗層を除去したりセス領域RSを形成すると共に、活性領域をはなれた両側の領域においても基板表面の低抵抗層を除去したりセス領域RSを形成する。前述の実施例同様に、ドレイン電極D、ソース電極Sを形成し、レジスト積層を形成してゲート電極Gを作成する。ゲート電極Gは、活性領域ARを横断するファインゲートFGと、ファインゲートと同一の高さを有し、パッド部の支持となる部分と、オーバーゲートOGとを有する。

【0060】

前述の実施例同様、充填材層、層間絶縁層を形成し、層間絶縁層を貫通する開口39を形成し、充填材層を除去する。

図8（B）は、ゲート幅方向の断面構成を概略的に示す。活性領域内において、基板表面の低抵抗層は除去され、リセス領域RSが形成されている。その両側において、一旦基板表面は立上り、さらに外側において低抵抗層が除去されたりセス領域RSが形成されている。このような凹凸を有する基板表面上にファインゲートFG、オーバーゲートOGを有するゲート電極Gが作成される。

【0061】

ゲート電極Gの断面構成は、基板10の凹凸に従った形状となる。オーバーゲートOGの下方に空洞を形成した時、オーバーゲートOGと基板表面とに挟まれた空洞は、外側のリセス領域RSから活性領域に向う部分において上方に立ち上がる領域を有するようになる。開口39内に導電層を堆積する際、堆積物がたとえ飛散しても、活性領域に入り込む可能性が減少する。

【0062】

なお、基板表面の凹凸と、オーバーゲートの下方突出とを組み合わせてもよい。リセス領域RSでオーバーゲートOGの下面を下に引き下げれば、異物の侵入もより困難になり、空洞の封止も容易となる。

【0063】

以上、本発明の基本的実施例を説明したが、以下に具体的実施例を説明する。

図9(A)～図10(O)は、本発明の実施例による半導体装置の製造方法を概略的に示す断面図及び平面図である。

【0064】

図9(A)に示すように、半絶縁性GaAs下地基板11の上に、GaAsバッファ層12、InGaAs電子走行層13、n型AlGaAs電子供給層14、n型GaAs低抵抗層15の積層を例えば有機金属気相成長法(MOCVD)により成長する。なお、活性領域以外の領域には、酸素をイオン注入し半絶縁性領域とする。

【0065】

図9(B)に示すように、レジストを用いてパターニングし、例えば厚さ約20nmのAuGe層と厚さ約200nmのAu層の積層を形成し、リフトオフによりオーミック電極21を形成する。オーミック電極21は、一方がソース電極、他方がドレイン電極となる。その後、表面全面にSiN層22を堆積する。SiN層22は、半導体表面の保護膜となる。

【0066】

図9(C)に示すように、基板表面に厚さ約300nmのポジ型電子線レジスト(ZEP520-A7)層をスピコートにより塗布し、180℃で5分間熱処理を行う。電子レジスト層24に電子線描画を行い、現像することにより開口25を形成する。開口25は、ゲート電極のファインゲート部及びその両側に幅約0.1μmの領域を画定する。

【0067】

レジストパターン24をマスクとし、SF₆エッチャントを用いたドライエッチングによりSiN保護層22をエッチング除去する。さらに、SiCl₄をエ

ッチャントとして用いたドライエッチングにより基板表面のGaAs低抵抗層15をエッチング除去する。

【0068】

図9(D)に示すように、レジストパターン24を除去し、新たに露出された半導体層表面を覆うようにSiN膜26を形成する。

図9(E)に示すように、厚さ約300nmのポジ型電子線レジスト(ZEP2000)層31をスピコートで塗布し、180℃で5分間熱処理を加える。ポジ型電子線レジスト層31の上に、逆テーパー形成用ポリメチルグルタルイミド層32、オーバーゲートパターンニング用のポジ型電子線レジスト(ZEP520-A7)層33を積層し、レジスト積層を作成する。

【0069】

電子線描画により、電子線レジスト層33にオーバーゲート用露光を行い、電子線レジスト層31に対しファインゲート用露光を行なう。その後現像を行うことにより、電子線レジスト層31、33は露光領域を除去する。逆テーパー形成用有機材料層32には中広がりの開口を形成する。なお、露光を全て終了した後、現像を行っても一部の露光を行い、現像を行い、その後残りの露光、現像を行ってもよい。

【0070】

このようなレジスト積層を形成した後、SF₆エッチャントを用いたドライエッチングによりSiN保護膜26を除去し、例えば厚さ約10nmのTi層、厚さ約10nmのPt層、厚さ約300nmのAu層を積層し、ゲート電極35を形成する。レジスト積層の開口内に形成されたゲート電極層により、ゲート電極35Gが形成される。

【0071】

図9(F)に示すように、レジスト積層を除去することにより、その上のゲート電極層をリフトオフで除去すると共に、ゲート電極35Gを残す。

図9(G)に示すように、基板上にポリメチルグルタルイミドの充填剤層37を厚さ約600nmスピコートにより塗布する。充填剤層37は、ゲート電極35Gを完全に埋め込む。充填剤層37に250℃、10分間の熱処理を加える

。なお、充填剤層 37 は、少なくともゲート電極 35 G のオーバーゲート下面に達すればよい。

【0072】

図 9 (H) に示すように、酸素を用いたドライエッチングにより、マッシュルームゲート電極 35 G をマスクとしてポリメチルグルタルイミドの充填剤層 37 をエッチングする。ゲート電極 35 G のオーバーゲート下に充填剤層 37 D が残る。

【0073】

図 9 (I) に示すように、ゲート電極 35 G を埋め込むように、有機材料であるベンゾシクロブテン (BCB) の層間絶縁層 38 を厚さ約 $1\ \mu\text{m}$ スピンコートで塗布する。層間絶縁層を徐々に昇温し、 250°C で 10 分間の熱処理を加える。この熱処理により、充填剤層 37 D、層間絶縁層 38 は共に流動化する。流動化により、充填剤層 37 D と層間絶縁層 38 との界面は、表面張力により曲面化する。層間絶縁層 38 の成膜時の応力も解放される。

【0074】

図 10 (J) に示すように、活性領域 AR 外でゲート電極 35 G 上方に充填剤層を溶解する溶解液排出孔 39 を層間絶縁層 38 に形成する。溶解液排出孔 39 は、オーバーゲート下方で充填剤層 37 D の一部表面を露出させる。

【0075】

ファインゲートは活性領域を横断して形成されているが、溶解液排出孔 39 の下部においては、一部ファインゲートが形成されていない。又、溶解液排出孔が形成される領域において補助露光を行うことにより、オーバーゲート下面は引き下げられた位置に配置される。

【0076】

図 10 (K) に示すように、 75°C に加熱した N-メチル-2-ピロリジノン溶液に基板を 10 分間浸潤することにより、ゲート電極下方の充填剤層 37 D を長さ $50\ \mu\text{m}$ に渡って除去し、空洞 H を形成する。

【0077】

図 10 (L) に示すように、メッキ用シード金属層 41 として Ti 層を厚さ約

100nm、その上にAu層を厚さ約50nm、基板表面上にスパッタリングする。シード金属層41は、開口39内でオーバーゲートと基板との間に形成されていた狭い隙間を塞いで形成され、空洞を封止する。

【0078】

図10(M)に示すように、不要部分にレジストパターン42を形成した後、シード金属層41の上にメッキによりAu引出し配線43を形成する。その後、レジストパターン42を除去し、露出したシード金属層41も除去する。

【0079】

図10(N)は、このようにして形成されたゲート引出し配線の構成を示す。なお、図に示すように溶解液排出孔部分ではファインゲートが形成されておらず、開口となっている。

【0080】

図10(O)は、活性領域上でのゲート電極の構造を示す。活性領域上ではファインゲートが形成されている。ファインゲートの側方、オーバーゲートの下方は、空洞Hとなっている。

【0081】

なお、充填剤層をパターニングし、絶縁樹脂層を塗布した後熱処理を行う場合を説明したが、充填剤層をパターニングした後残った充填剤層パターンに流動化処理を行なってもよい。例えば、図9(H)の状態で200℃、5分間の熱処理を行えばよい。

【0082】

図11は、以上説明したトランジスタ構造を用いた集積回路装置の構成を概略的に示す。集積回路装置の例として差動対回路を示す。活性領域AR1, AR2, AR3は、それぞれトランジスタT1, T2, T3の形成領域である。ここで、トランジスタT1, T2はスイッチング用トランジスタ、T3は定電流源用トランジスタである。各活性領域を横断してゲート電極G1, G2, G3が形成されている。

【0083】

ゲート電極は上述のように一部空洞によって囲まれており、寄生容量が減少さ

れている。特に、スイッチングトランジスタ T_1 、 T_2 の寄生容量低減による動作速度向上は回路動作速度の向上に大きく寄与する。

【0084】

ゲート電極 G_1 、 G_2 にはそれぞれ入力信号 V_{in} およびその反転信号 $\neg V_{in}$ （なお、 \neg 符号は反転信号を示す）が入力される。電源電圧 V_S は、負荷抵抗 R_1 、 R_2 を介してドレイン電極 D_1 、 D_2 にそれぞれ入力される。負荷抵抗 R_1 、 R_2 端からは次段回路に対して反転出力信号 $\neg V_{out}$ および出力信号 V_{out} が出力される。

【0085】

ソース電極 S_1 、 S_2 は、共通に結線され、定電流源用トランジスタ T_3 のドレイン電極 D_3 に接続される。なお、定電流源用トランジスタ T_3 のゲート電極 G_3 には、定電流値を維持するために制御されたゲート電圧 V_c が入力される。なお、種々の回路素子を同一半導体基板上にさらに集積できることは言うまでもない。回路素子間は多層配線によって接続される。

【0086】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、3層レジストに対する露光、現像の順序は種々変更可能である。その他、種々の変更、改良、組合わせが可能なのは当業者に自明であろう。

【0087】

以下、本発明の特徴を付記する。

（付記1） （a）半導体基板の活性領域を横断して、ファインゲートと前記ファインゲート上で電流方向の寸法の拡大された電極部を構成するオーバーゲートとを有するマッシュルームゲートを半導体基板上に形成する工程と、

（b）前記マッシュルームゲートの少なくともファインゲートとオーバーゲート下面とを覆って第1の有機材料膜を半導体基板上に塗布する工程と、

（c）前記第1の有機材料膜をパターンニングして、マッシュルームゲート近傍にのみ残す工程と、

（d）残った前記第1の有機材料膜を覆って、化学的性質の異なる第2の有機材料膜を半導体基板上に塗布する工程と、

(e) 前記第2の有機材料膜に開口を形成し、前記第1の有機材料膜を露出する工程と、

(f) 前記開口から前記第1の有機材料膜を溶解除去して前記第2の有機材料膜中に空洞を形成する工程と、
を含む半導体装置の製造方法。

【0088】

(付記2) 前記工程(b)が、マッシュルームゲート全体を覆う第1の有機材料膜を形成し、

前記工程(c)が

(c-1) 前記マッシュルームゲート上方で前記第1の有機材料膜上にマスクを形成する工程と、

(c-2) 前記マスクを用いて、前記第1の有機材料膜をエッチングする工程と、

を含む付記1記載の半導体装置の製造方法。

【0089】

(付記3) 前記工程(c-1)が、オーバーゲートのソース側領域上方を覆い、ドレイン側領域上方を覆わない前記マスクを形成する付記2記載の半導体装置の製造方法。

【0090】

(付記4) 前記工程(c)の後に、

(x) 前記第1の有機材料膜を流動化させる工程を含む付記1～3のいずれか1項記載の半導体装置の製造方法。

【0091】

(付記5) 前記工程(x)が、前記工程(d)の後に行われ、前記第2の有機材料膜も流動化させる付記4記載の半導体装置の製造方法。

(付記6) 前記工程(a)が、

(a-1) 前記半導体基板上に下レジスト層と上レジスト層とを含むレジスト積層を形成する工程と、

(a-2) 前記上レジスト層に対してオーバーゲートパターンを露光する工程と

、
(a-3) 前記下レジスト層に対してファインゲートパターンを露光する工程と

、
(a-4) 前記下レジスト層に対して、工程(a-3)より少ない露光量で前記オーバーゲートパターンの一部の電流方向の寸法を横切る補助露光を行なう工程と、

(a-5) 露光、補助露光の行われた前記レジスト積層を現像して、前記オーバーゲートパターンの開口を有する上レジスト層と前記ファインゲートパターンの開口と上面が前記補助露光により引き下げられたオーバーゲート引き下げ領域とを有する下レジスト層をパターンニングする工程と、

(a-6) パターンニングされた前記レジスト積層上にゲート電極層を堆積する工程と、

(a-7) 前記レジスト積層上のゲート電極層をリフトオフし、マッシュルームゲートを残す工程と、

を含む付記4または5記載の半導体装置の製造方法。

【0092】

(付記7) 前記工程(a)が、前記活性領域外で、前記マッシュルームゲートに連続したゲートパッド部も形成し、前記工程(e)が前記ゲートパッド部上にも開口を形成し、さらに前記工程(f)の後、

(g) 前記第2の有機材料膜上方より金属膜を堆積し、前記空洞を封止する工程、

を含む付記6記載の半導体装置の製造方法。

【0093】

(付記8) 前記工程(a-3)が、前記活性領域外の選択された領域でファインゲートパターンを露光せず、前記工程(e)が前記選択された領域の近傍に前記開口を形成する付記6または7記載の半導体装置の製造方法。

【0094】

(付記9) さらに、

(y) 前記活性領域外、かつ前記開口を形成すべき領域より活性領域側で、前

記半導体基板を所定深さエッチングしてリセス部を形成する工程、
を含み、前記工程（f）が前記リセス部から前記活性領域に向って立上る前記空洞を形成する付記6～8のいずれか1項記載の半導体装置の製造方法。

【0095】

（付記10） 前記第1の有機材料膜がポリメチルグルタルイミド、前記第2の有機材料膜がベンゾシクロブテンであり、前記工程（f）がN-メチル-2-ピロリジノンを用いたウェットエッチングを含む付記1～9のいずれか1項記載の半導体装置の製造方法。

【0096】

（付記11） 活性領域を有する半導体基板と、
前記活性領域を横断して前記半導体基板上に形成され、ファインゲートと前記ファインゲート上で電流方向の寸法の拡大されたオーバーゲートとを有するマッシュルームゲートと、

前記マッシュルームゲートの少なくともファインゲート側面とオーバーゲート下面とを囲み、界面が曲面である空洞を画定する有機材料膜と、

前記活性領域外で前記有機材料膜の上面から前記空洞に達するように形成された開口部と、

を有する半導体装置。

【0097】

（付記12） 前記空洞が、マッシュルームゲート全体を覆う付記11記載の半導体装置。

（付記13） 前記空洞が、マッシュルームゲートのソース側部分を囲み、ドレイン側部分のオーバーゲート下面に接し、マッシュルームゲートのドレイン側部分のオーバーゲート上面は前記有機材料膜と接する付記11記載の半導体装置。

【0098】

（付記14） 前記空洞が、マッシュルームゲートのオーバーゲート下面下の領域を占め、前記有機絶縁層がオーバーゲート上面を覆う付記11記載の半導体装置。

【００９】

(付記１５) 前記空洞は、前記活性領域外の端部で高さが低くなり、前記開口部は、前記空洞部の高さが低くなった端部で前記空洞部に連通する付記１１～１４のいずれか１項記載の半導体装置。

【０１０】

(付記１６) 前記マッシュルームゲートのオーバーゲート下面は、前記活性領域外の一部でその高さが低くされ、その下の前記空洞の高さが減少している付記１１～１５のいずれか１項記載の半導体装置。

【０１０１】

(付記１７) 前記開口部は、前記オーバーゲート下面の高さが低くなった領域に連通するように形成されている付記１１～１６のいずれか１項記載の半導体装置。

【０１０２】

(付記１８) さらに、前記開口部内面上に形成され、前記空洞を封じる金属層を有する付記１１～１７のいずれか１項記載の半導体装置。

(付記１９) 前記マッシュルームゲートは、前記活性領域外でオーバーゲート下にファインゲートを備えない部分を有する付記１１～１８のいずれか１項記載の半導体装置。

【０１０３】

(付記２０) 複数の活性領域を含む半導体基板と、

前記活性領域の各々を横断して前記半導体基板上に形成され、ファインゲートと前記ファインゲート上で電流方向の寸法の拡大されたオーバーゲートとを有する複数のマッシュルームゲートと、

前記各マッシュルームゲートの少なくともファインゲート側面とオーバーゲート下面とを囲み、界面が曲面である複数の空洞を画定する有機材料膜と、

前記活性領域外で前記有機材料膜の上面から前記複数の空洞のいずれかに達するように形成された複数の開口部と、

を有する半導体集積回路装置。

【０１０４】

【発明の効果】

以上説明したように、本発明によれば、層間絶縁膜を形成し、ゲート電極の寄生容量の増大を抑制した半導体装置とその製造方法が提供される。

【図面の簡単な説明】

【図１】 本発明の実施例による半導体装置の製造方法を説明する断面図及び平面図である。

【図２】 図１に示す実施例の製造工程を説明する断面図である。

【図３】 図１に示す実施例の製造工程を説明する断面図及び平面図である。

【図４】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図５】 本発明のさらに他の実施例による半導体装置の製造方法を説明するための断面図である。

【図６】 本発明の実施例の変形例を説明する平面図及び断面図である。

【図７】 図６の変形例を説明する平面図及び断面図である。

【図８】 本発明の実施例の変形例を説明する平面図及び断面図である。

【図９】 本発明の具体的実施例を説明する断面図である。

【図１０】 図９の具体的実施例を説明する平面図及び断面図である。

【図１１】 半導体集積回路装置の構成を概略的に示す平面図である。

【図１２】 従来技術による半導体装置の構成を概略的に示す断面図である。

【符号の説明】

F G ファインゲート

O G オーバーゲート

G ゲート電極

S ソース電極

D ドレイン電極

R S リセス領域

F 充填剤層

I L 層間絶縁層

P R レジストパターン

R G オーバーゲート引き下げ領域

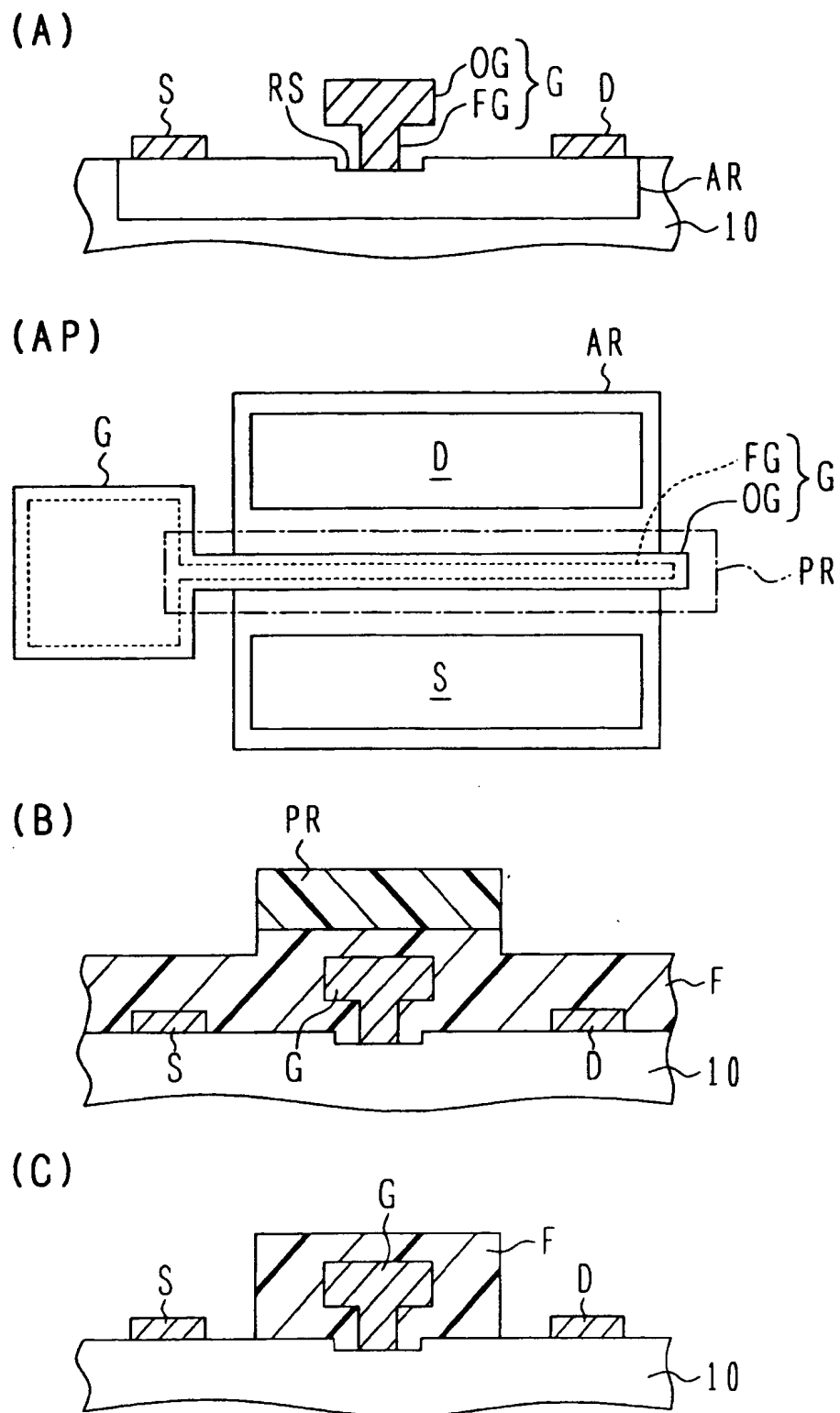
4 1 シード金属層

4 3 メッキ金属層

3 5 G マッシュルームゲート電極

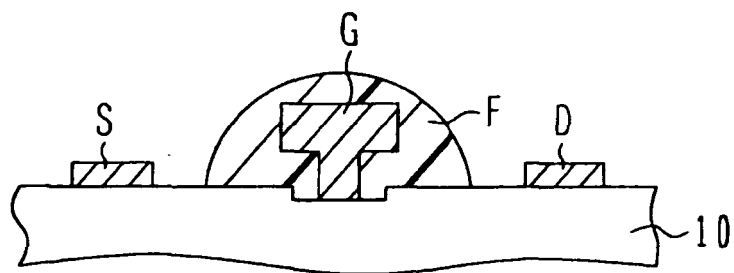
【書類名】 図面

【図 1】

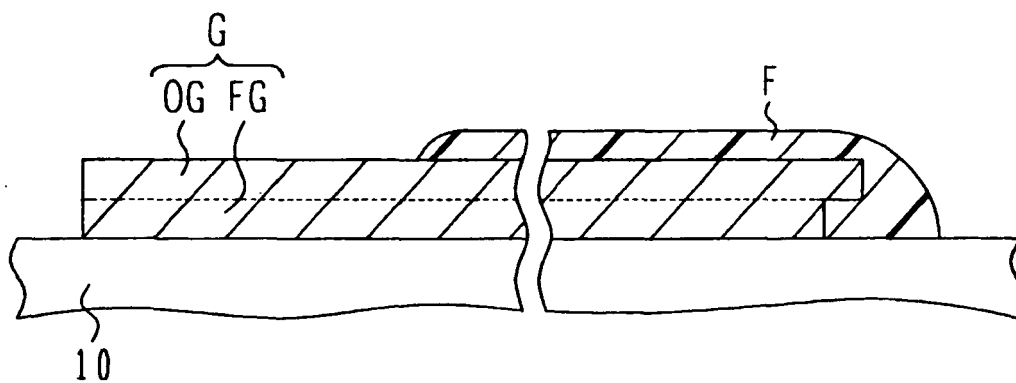


【図2】

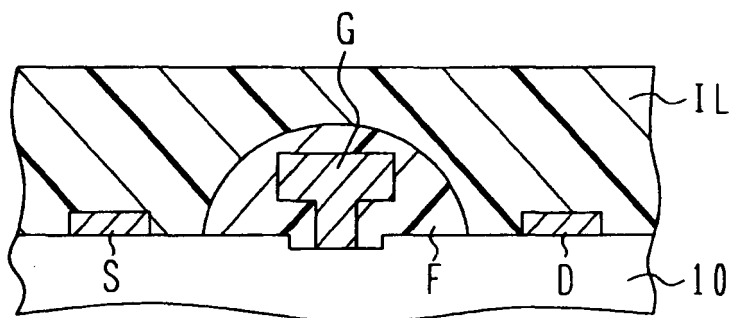
(D)



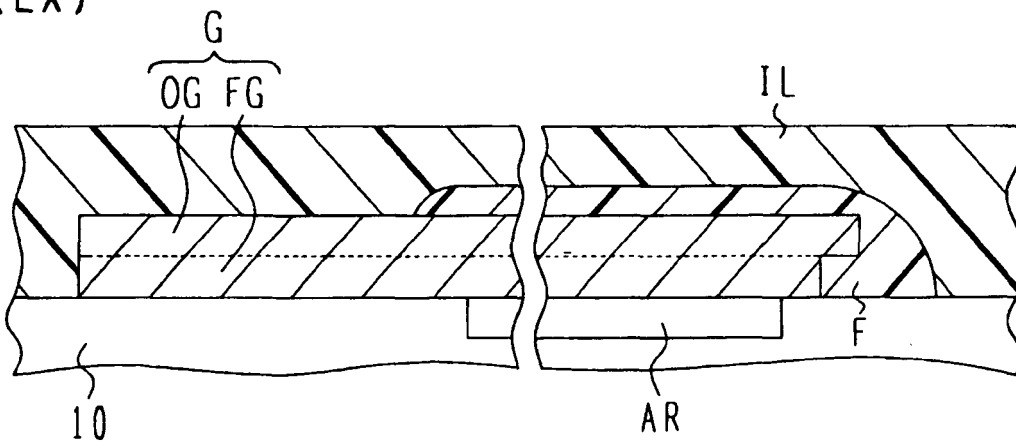
(DX)



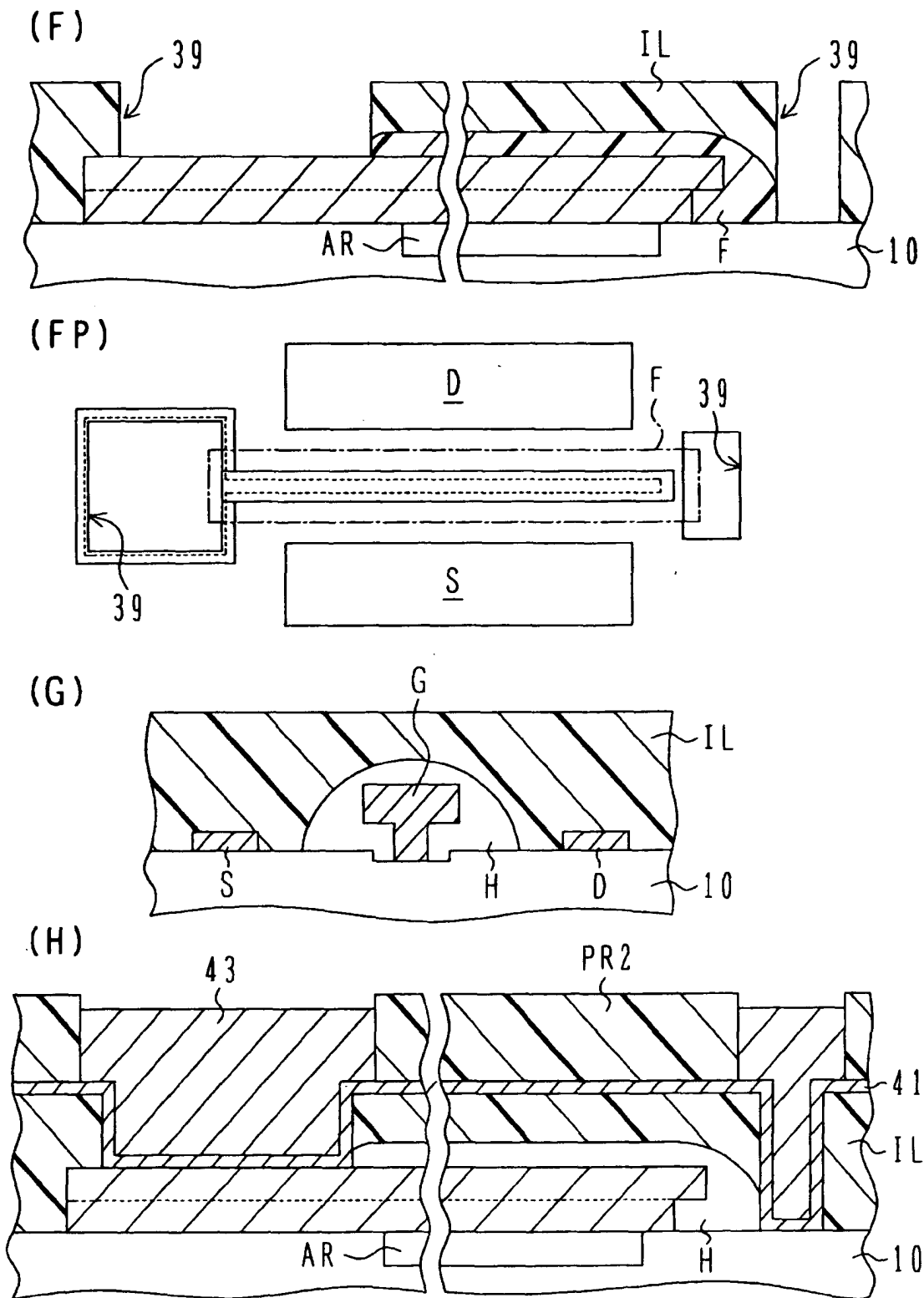
(E)



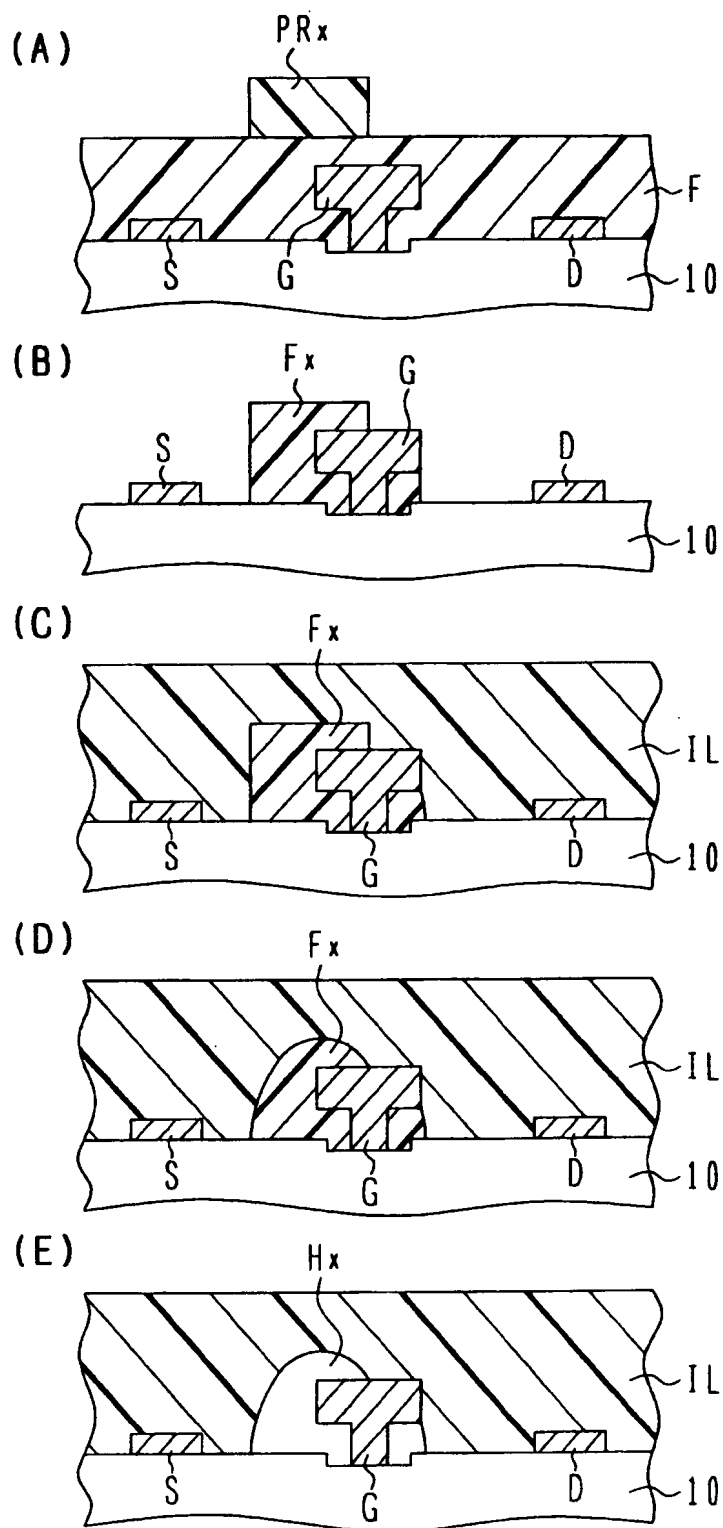
(EX)



【図3】

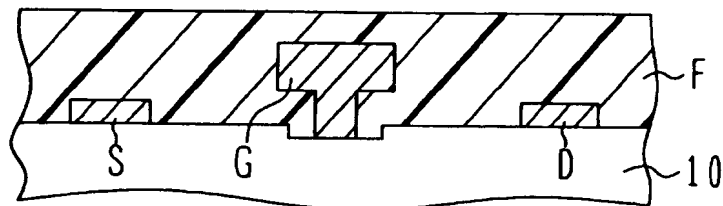


【図4】

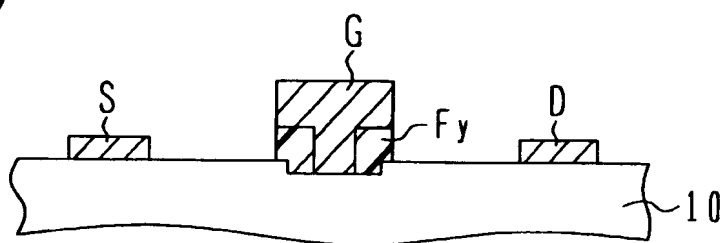


【図5】

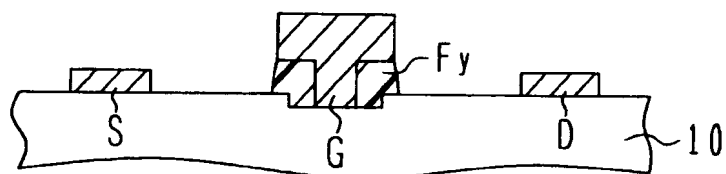
(A)



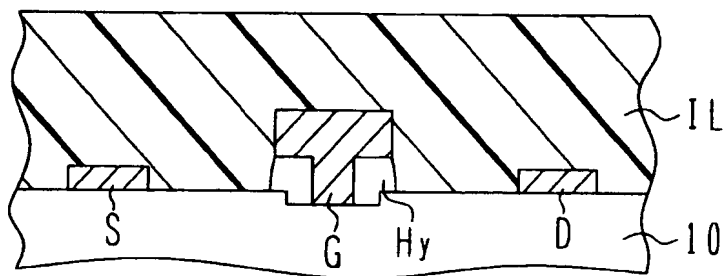
(B)



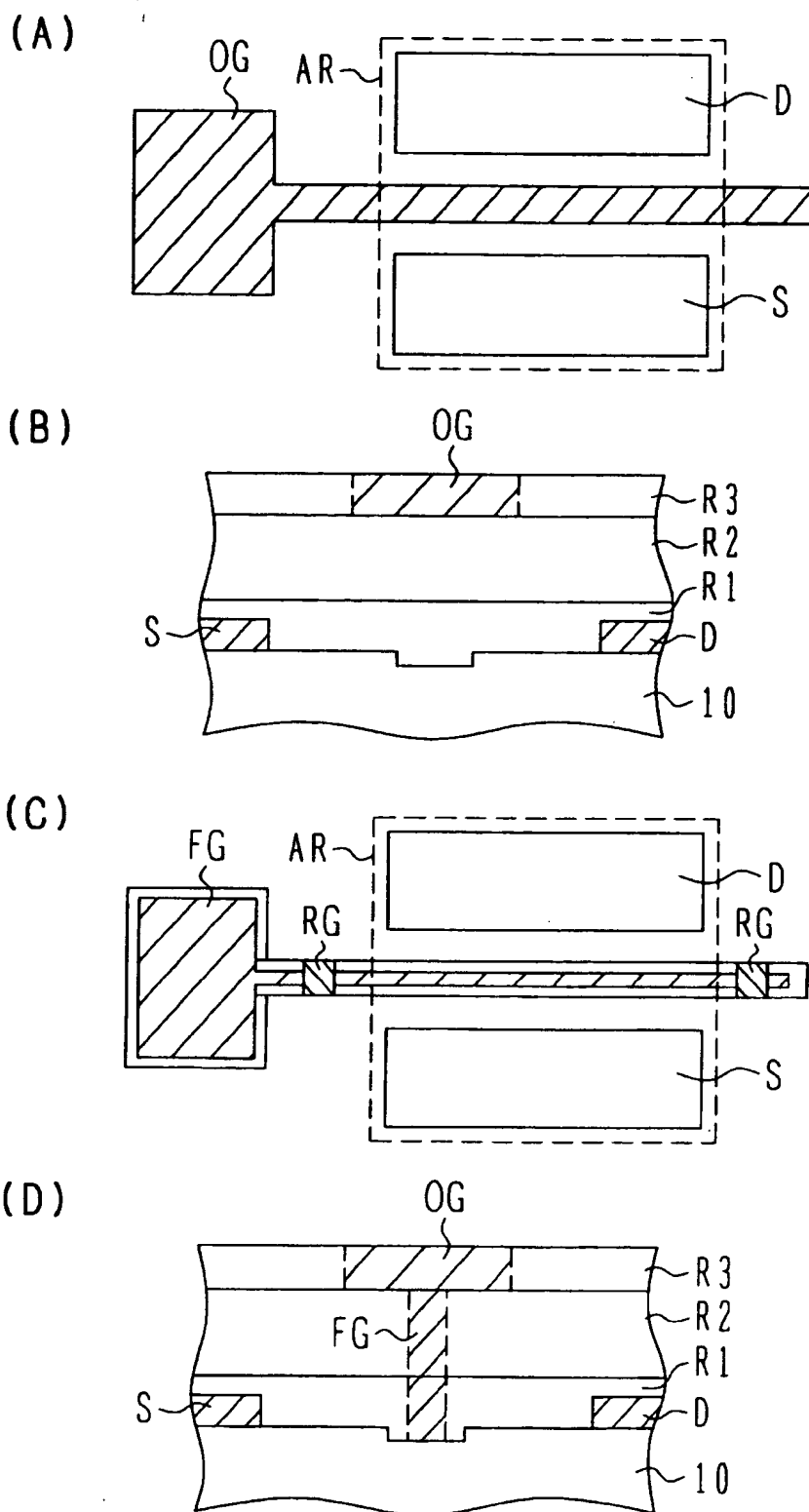
(C)



(D)

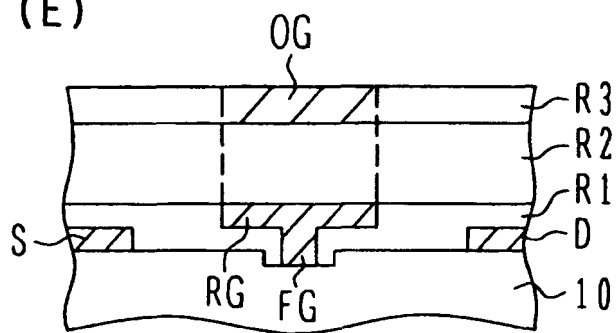


【図 6】

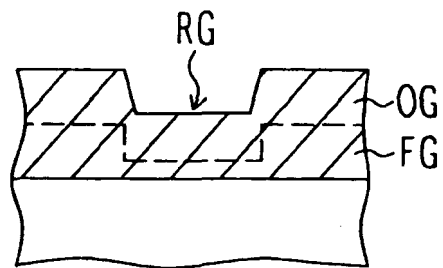


【図7】

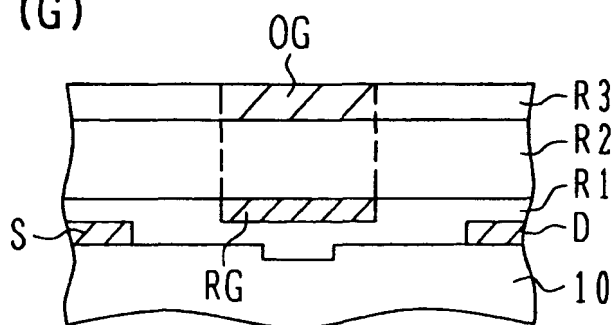
(E)



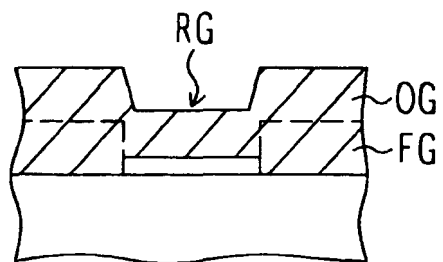
(F)



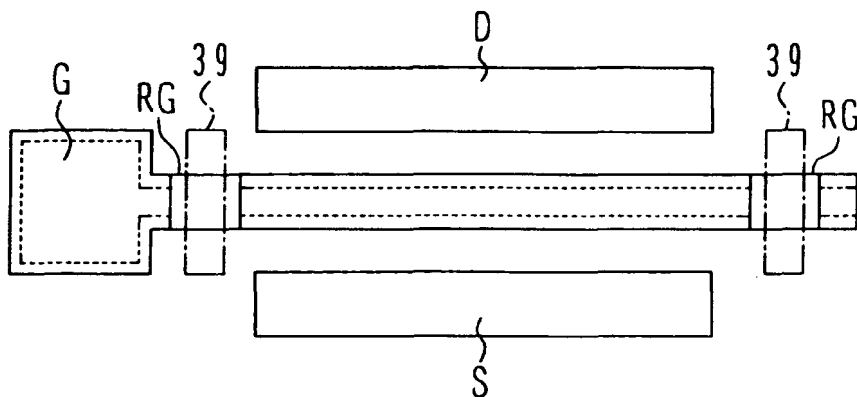
(G)



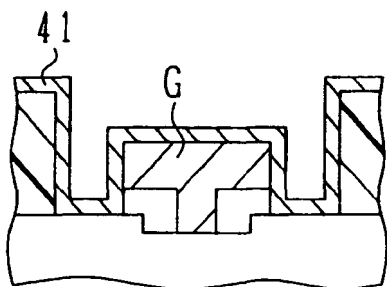
(H)



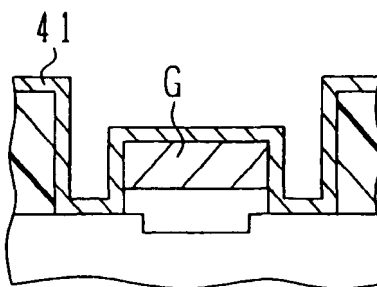
(I)



(J)

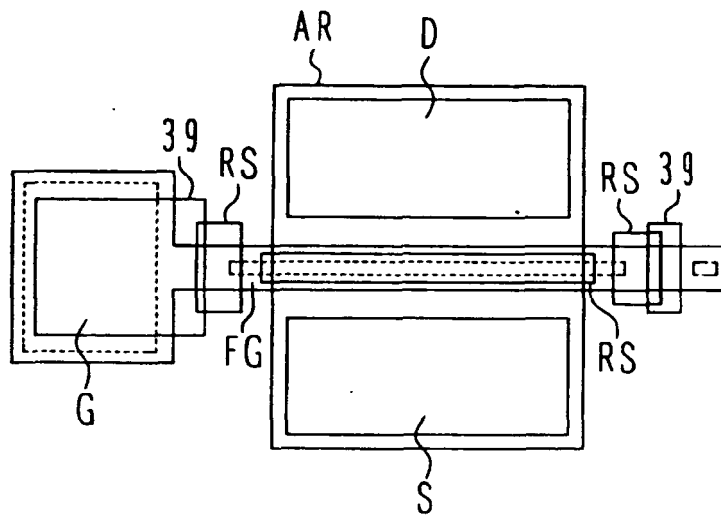


(K)

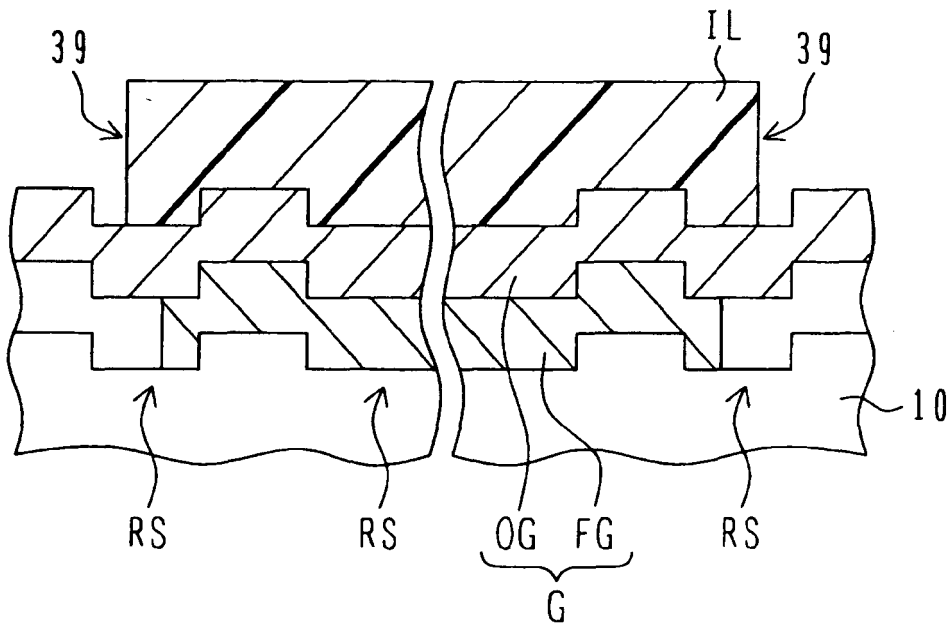


【図8】

(A)

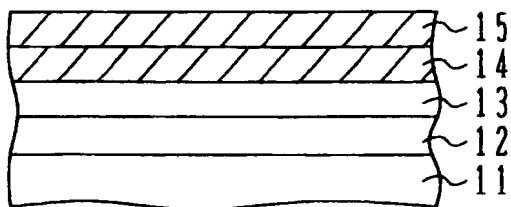


(B)

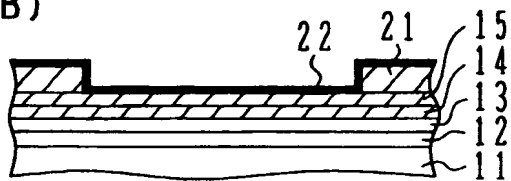


【図9】

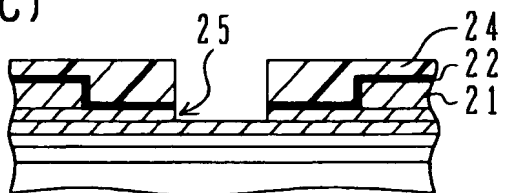
(A)



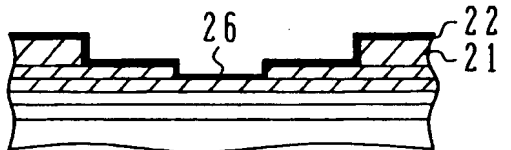
(B)



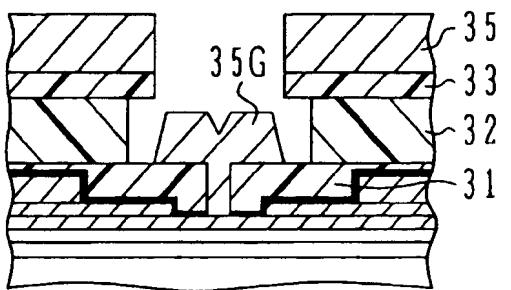
(C)



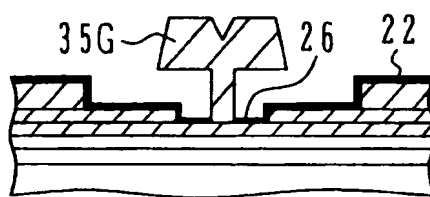
(D)



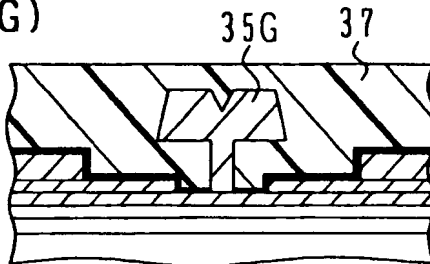
(E)



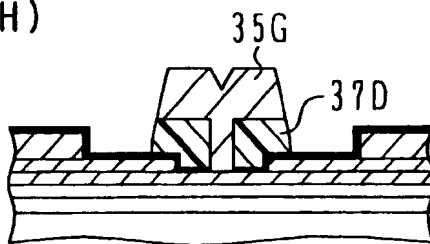
(F)



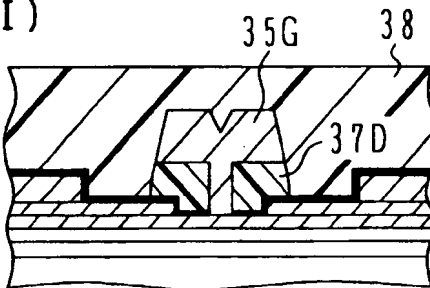
(G)



(H)

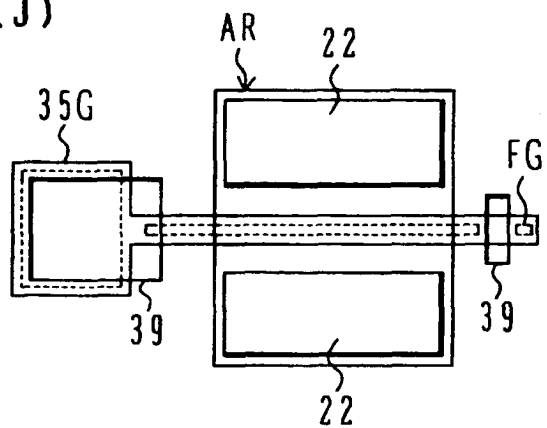


(I)

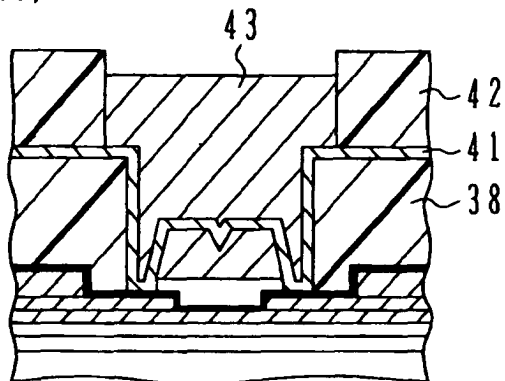


【図10】

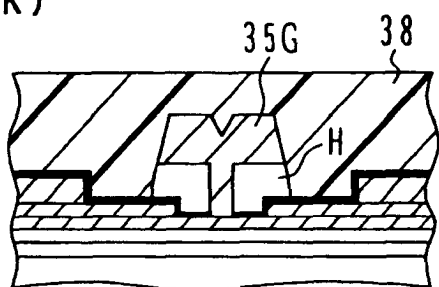
(J)



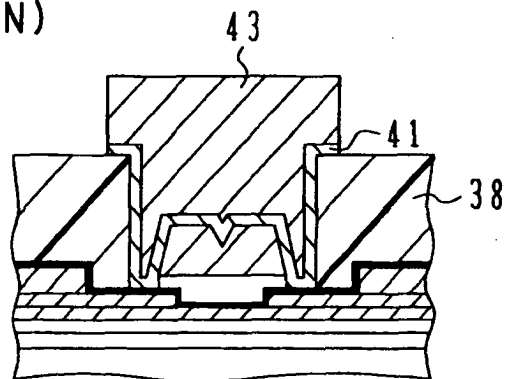
(M)



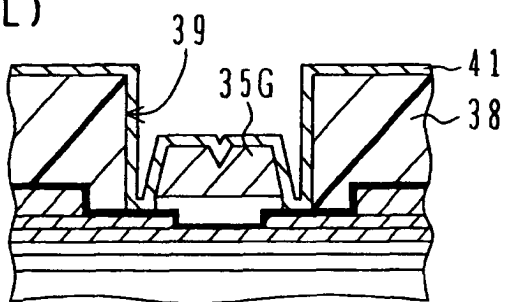
(K)



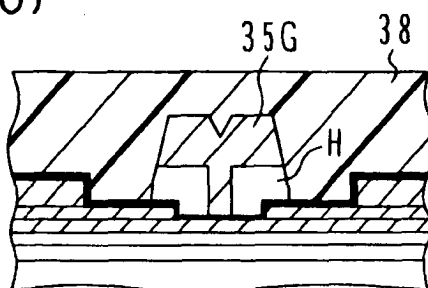
(N)



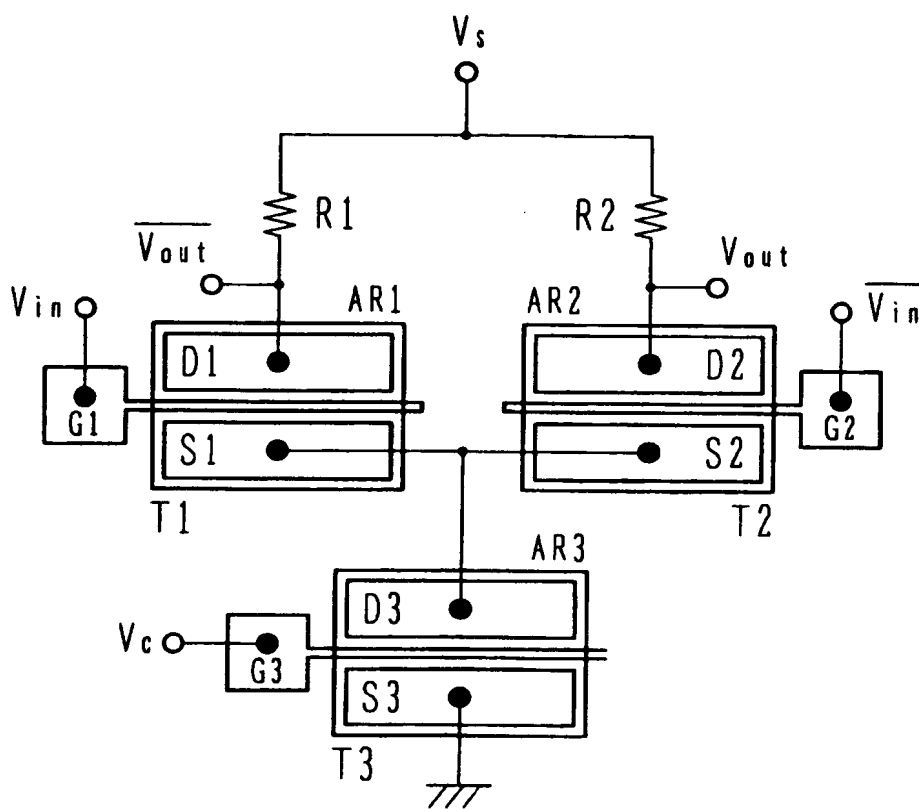
(L)



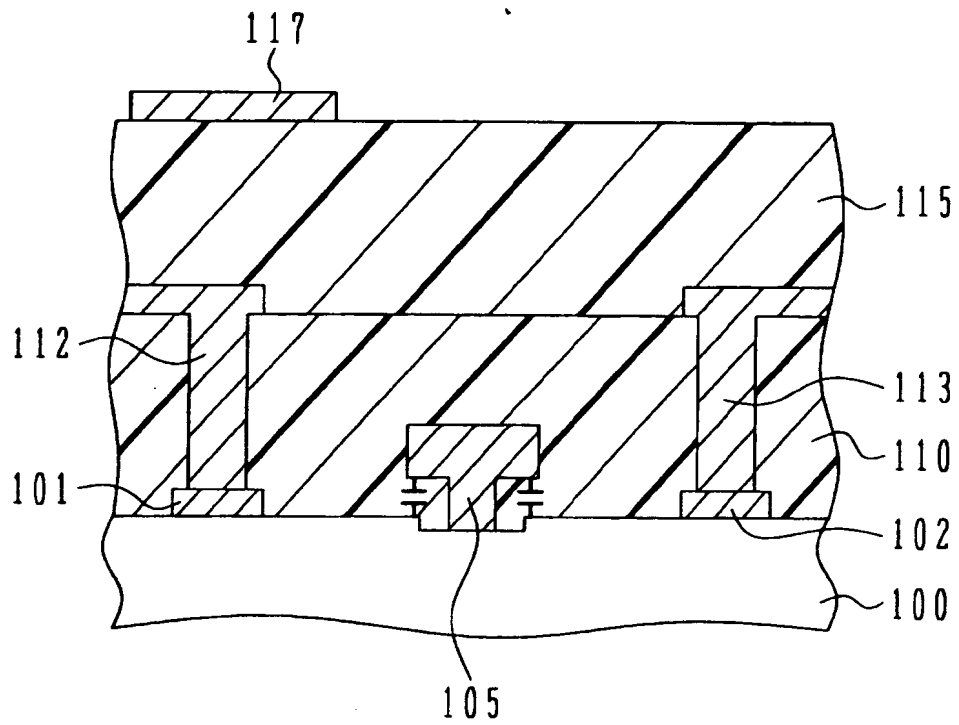
(O)



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 マッシュルームゲートを層間絶縁膜で覆い、かつ寄生容量の増大を抑制した半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、（a）活性領域を横断して、ファインゲートとオーバーゲートとを有するマッシュルームゲートを基板上に形成する工程と、（b）マッシュルームゲートを覆って第1の有機材料膜を基板上に塗布する工程と、（c）第1の有機材料膜をパターンニングして、マッシュルームゲート近傍にのみ残す工程と、（d）残った第1の有機材料膜を覆って、化学的性質の異なる第2の有機材料膜を基板上に塗布する工程と、（e）第2の有機材料膜に開口を形成し、第1の有機材料膜を露出する工程と、（f）開口から第1の有機材料膜を溶解除去して第2の有機材料膜中に空洞を形成する工程と、を含む。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000154325]

1. 変更年月日 1992年 4月 6日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漉阿原1000番地

氏 名 富士通カンタムデバイス株式会社